

Patent Abstracts of Japan

PUBLICATION NUMBER
10226102

PUBLICATION DATE
25-08-98

APPLICATION DATE
13-02-97

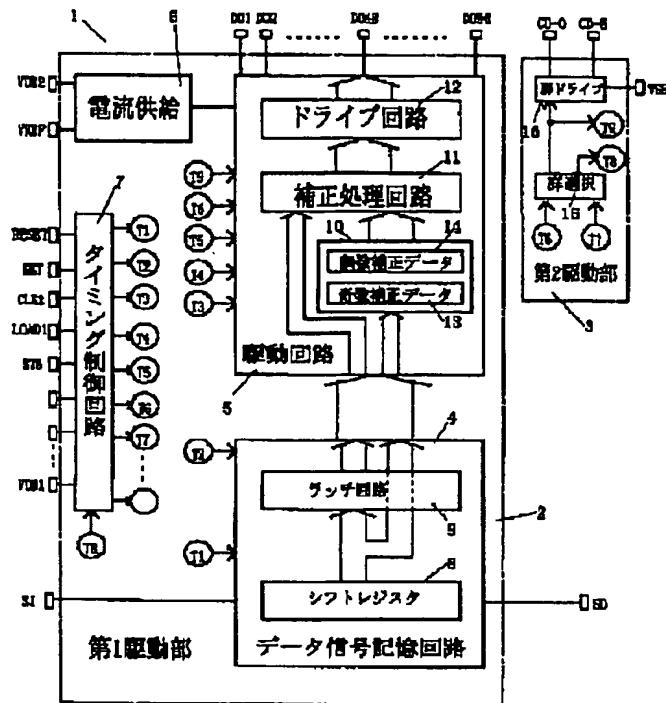
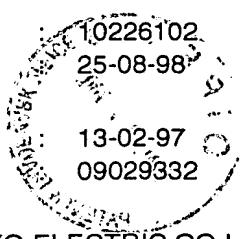
APPLICATION NUMBER
09029832

APPLICANT : TOTTORI SANYO ELECTRIC CO LTD;

INVENTOR : BIZEN MITSUHIRO;

INT.CL. : B41J 2/44 B41J 2/45 B41J 2/455
H01L 33/00

TITLE : DRIVING IC AND OPTICAL PRINT
HEAD



ABSTRACT : PROBLEM TO BE SOLVED: To enhance versatility of a driving IC for driving light emitting elements by time sharing driving.

SOLUTION: A driving IC comprises n output terminals DO1-DO96 for driving light emitting elements, a first driving section 2 connected to each of the output terminals, m group selecting terminals CD-O, CD-E and a second driving section 3 connected to each of the group selecting terminals. The first driving section 2 comprises a data signal memory circuit 4 that stores data signals sequentially transmitted thereto by each unit of n pieces of the data and a driving circuit 5 that outputs driving signals to each of the output terminals DO1-DO96 in accordance with the data signals outputted from the data signal memory circuit 4. The second driving section 3 switches between group selecting terminals CD-O, CD-E sequentially in synchronism with a switching timing of the n data signals supplied to the data signal memory circuit 4.

COPYRIGHT: (C)1998,JPO

EST AVAILABLE CO

PAT-NO: JP410226102A
DOCUMENT-IDENTIFIER: JP 10226102 A
TITLE: DRIVING IC AND OPTICAL PRINT HEAD
PUBN-DATE: August 25, 1998

INVENTOR-INFORMATION:

NAME
BIZEN, MITSUHIRO

ASSIGNEE-INFORMATION:

	COUNTRY
NAME	N/A
SANYO ELECTRIC CO LTD	N/A
TOTTORI SANYO ELECTRIC CO LTD	N/A

APPL-NO: JP09029332

APPL-DATE: February 13, 1997

INT-CL (IPC): B41J002/44, B41J002/45, B41J002/455, H01L033/00

ABSTRACT:

PROBLEM TO BE SOLVED: To enhance versatility of a driving IC for driving light emitting elements by time sharing driving.

SOLUTION: A driving IC comprises n output terminals D01-D096 for driving light emitting elements, a first driving section 2 connected to each of the output terminals, m group selecting terminals CD-O, CD-E and a second driving section 3 connected to each of the group selecting terminals. The first driving section 2 comprises a data signal memory circuit 4 that stores data signals sequentially transmitted thereto by each unit of n pieces of the data and a driving circuit 5 that outputs driving signals to each of the output terminals D01-D096 in accordance with the data signals outputted from the data signal memory circuit 4. The second driving section 3 switches between group selecting terminals CD-O, CD-E sequentially in synchronism with a switching timing of the n data signals supplied to the data signal memory circuit 4.

COPYRIGHT: (C)1998, JPO

(51)Int.Cl.⁶
 B 4 1 J 2/44
 2/45
 2/455
 H 0 1 L 33/00

識別記号

F I
 B 4 1 J 3/21
 H 0 1 L 33/00
 L
 M

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21)出願番号 特願平9-29332

(22)出願日 平成9年(1997)2月13日

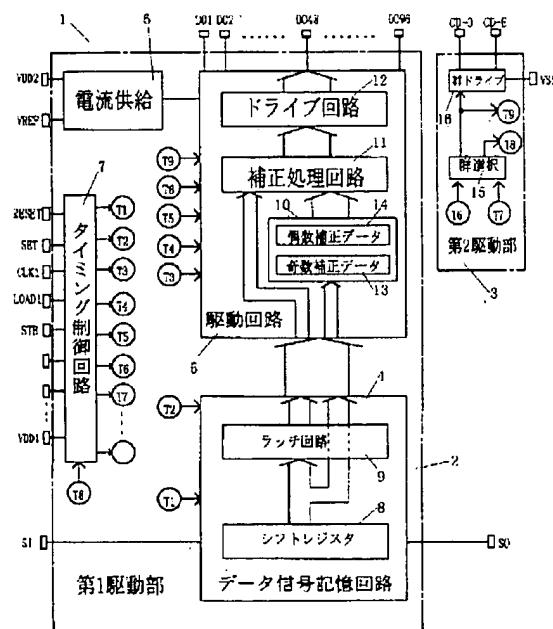
(71)出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (71)出願人 000214892
 鳥取三洋電機株式会社
 鳥取県鳥取市南吉方3丁目201番地
 (72)発明者 尾前 充弘
 鳥取県鳥取市南吉方3丁目201番地 鳥取
 三洋電機株式会社内
 (74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 駆動用IC及び光プリントヘッド

(55)【要約】

【課題】 素子内時分割駆動な発光素子を駆動するための駆動用ICの汎用性を高める。

【解決手段】 発光素子駆動用のn個の出力端子D O 1～D O 9 6と、これら各出力端子と接続した第1駆動部2と、m個の群選択用端子C D -O、C D -Eと、これら各群選択用端子と接続した第2駆動部3を備えた駆動用ICであって、第1駆動部2は、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路4と、このデータ信号記憶回路4から出力されたデータ信号に基づき各駆動用出力端子D O 1～D O 9 6に駆動信号を出力する駆動回路5を備え、第2駆動部3は、群選択用端子C D -O、C D -Eをデータ信号記憶回路4に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える構成とした。



【特許請求の範囲】

【請求項1】 素子駆動用のn個の出力端子と、該各出力端子と接続した第1駆動部と、m個の群選択用端子と、該各群選択用端子と接続した第2駆動部を備えた駆動用ICであって、前記第1駆動部は、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路を備え、前記第2駆動部は、前記m個の群選択用端子を前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える構成としたことを特徴とする駆動用IC。

【請求項2】 素子駆動用のn個の出力端子と、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子に対してm(m≥2)種類の補正データを記憶する補正データ記憶回路とを備えることを特徴とする駆動用IC。

【請求項3】 素子駆動用のn個の出力端子と、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子に対してm(m≥2)種類の補正データを記憶する補正データ記憶回路とを備え、該補正データ記憶回路は、記憶したm種類の補正データを前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して切り替えて出力するようにしたことを特徴とする駆動用IC。

【請求項4】 素子駆動用のn個の出力端子と、該各出力端子と接続した第1駆動部と、m(m≥2)個の群選択用端子と、該各群選択用端子と接続した第2駆動部を備えた駆動用ICであって、前記第1駆動部は、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子に対してm種類の補正データを記憶する補正データ記憶回路とを備え、前記第2駆動部は、前記m個の群選択用端子を前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える構成とし、前記補正データ記憶回路は、記憶したm種類の補正データを前記切り替えタイミングに同期して切り替えて出力するようにしたことを特徴とする駆動用IC。

【請求項5】 前記データ信号記憶回路は、n個のデータ信号をラッチするラッチ回路を備え、前記n個のデータ信号の切り替えタイミングは、前記ラッチ回路のラッ

チタイミングであることを特徴とする請求項1、3、4記載の駆動用IC。

【請求項6】 前記駆動用ICは、n個の発光部で構成される群をm個備える発光素子を群単位で時分割駆動するための駆動用ICであることを特徴とする請求項1～5のいずれかに記載された駆動用IC。

【請求項7】 請求項1～6のいずれかに記載の駆動用ICを備えることを特徴とする光プリントヘッド。

【請求項8】 同一構造の発光素子と同一構造の駆動用ICをそれぞれ同方向に複数配置した光プリントヘッドにおいて、駆動用ICとして請求項1～6のいずれかに記載の駆動用ICを用いたことを特徴とする光プリントヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるよう構成された発光素子を駆動するための新規な駆動用ICとそれを用いた光プリントヘッドに関する。

【0002】

【従来の技術】従来の光プリントヘッドにおいて用いられる発光素子(アレイ)は、実公平6-48887号公報に示すように、複数の発光部に1対1で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているので、1つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用ICとの接続が困難になるという問題があった。

【0003】このような問題を解決するため、特開平6-163980号公報において、素子内の時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部をm(2～3)の群に分け、群毎の発光部に接続するようにm本の共通電極を設け、異なる群に属するm個の発光部に接続した個別電極をn個設けることによってm×n個の発光部を備える発光素子が提案されている。この発光素子によれば、m本の共通電極を時分割的に選択することによって個別電極の数を従来の1/mに削減することができるので、駆動用ICとの接続を容易にできる。

【0004】このような発光素子を従来と同様の駆動用ICを用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用ICの開発が望まれている。

【0005】

【発明が解決しようとする課題】そこで本発明は、上記のような時分割駆動に対応した発光素子を駆動するに適

した汎用性のある駆動用ICを提供することを課題の1つとする。また、時分割駆動に対応した発光素子の出力変動を低減することができる駆動用ICを提供することを課題の1つとする。そして、このような発光素子と駆動用ICを用いることによって高解像度の光プリンタヘッドを提供することを課題の1つとする。そしてまた、光プリンタヘッドの小型化を図ることを課題の1つとする。

【0006】

【課題を解決するための手段】本発明の駆動用ICは、素子駆動用のn個の出力端子と、該各出力端子と接続した第1駆動部と、m個の群選択用端子と、該各群選択用端子と接続した第2駆動部を備えた駆動用ICであって、前記第1駆動部は、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路を備え、前記第2駆動部は、前記m個の群選択用端子を前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える構成としたことを特徴とする。

【0007】本発明の駆動用ICは、素子駆動用のn個の出力端子と、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子に対してm(m≥2)種類の補正データを記憶する補正データ記憶回路とを備えることを特徴とする。

【0008】本発明の駆動用ICは、素子駆動用のn個の出力端子と、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子に対してm(m≥2)種類の補正データを記憶する補正データ記憶回路とを備え、該補正データ記憶回路は、記憶したm種類の補正データを前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して切り替えて出力するようにしたことを特徴とする。

【0009】本発明の駆動用ICは、素子駆動用のn個の出力端子と、該各出力端子と接続した第1駆動部と、m(m≥2)個の群選択用端子と、該各群選択用端子と接続した第2駆動部を備えた駆動用ICであって、前記第1駆動部は、順次送られてくるデータ信号をn個単位に記憶するデータ信号記憶回路と、該データ信号記憶回路から出力されたデータ信号に基づき前記各駆動用出力端子に駆動信号を出力する駆動回路と、該駆動回路のn個の出力を個々に補正するために前記各駆動用出力端子

に対してm種類の補正データを記憶する補正データ記憶回路とを備え、前記第2駆動部は、前記m個の群選択用端子を前記データ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える構成とし、前記補正データ記憶回路は、記憶したm種類の補正データを前記切り替えタイミングに同期して切り替えて出力するようにしたことを特徴とする。

【0010】前記データ信号記憶回路は、n個のデータ信号をラッチするラッチ回路を備え、前記n個のデータ信号の切り替えタイミングは、前記ラッチ回路のラッチタイミングとすることができる。

【0011】前記駆動用ICは、n個の発光部で構成される群をm個備える発光素子を群単位で時分割駆動するための駆動用ICとすることができます。

【0012】本発明の光プリントヘッドは、前記駆動用ICのいずれかを備えて構成することができる。

【0013】本発明の光プリントヘッドは、同一構造の発光素子と同一構造の駆動用ICをそれぞれ同方向に複数配置した光プリントヘッドにおいて、駆動用ICとして前記いずれかの駆動用ICを用いて構成される。

【0014】

【発明の実施の形態】以下本発明の実施例を図面を参照して説明する。

【0015】図1は、駆動用ICの回路ブロック図を示し、図2は、図1に示す回路ブロック図のうち、複数ある出力端子D01～D096の1つの出力端子D048に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

【0016】駆動用IC1は、図1に示すように、素子駆動用(後述する個別電極28用)の複数個(n)の出力端子D0と、各出力端子D0と接続され、これらに対して駆動信号としての所定の電流出力を与える第1駆動部2と、群選択用(後述する共通電極27用)の複数(m)個の出力端子CDと、各出力端子CDと接続され、これらを選択的に一方の電源電位、例えば接地電位VSSに切り替える第2駆動部を備えている。以下、n=96、m=2の場合を例にとって説明するが、本発明はこれに限定されるものではない。

【0017】第1駆動部2は、データ入力端子SIから順次与えられるデータ信号をn個単位に記憶するデータ信号記憶回路4と、このデータ信号記憶回路4から出力されたデータ信号に基づき上記各出力端子D01～D096に駆動信号を出力する駆動回路5と、この駆動回路5に定電流を供給する電流供給回路6と、この第1駆動部2並びに第2駆動部3の各部に所定のタイミング信号T1～T9等を供給するタイミング制御回路7とを備えている。

【0018】データ信号記憶回路4は、データ入力端子SIから複数の群単位、この例では奇数と偶数の2つの群に区分けられて群毎にシリアルに入力されるデータ信

号をクロック信号CLK1と同じタイミングの信号T1に同期して取り込み、データ出力端子S0からシリアル出力するn(96)ビットのシフトレジスタ8と、このシフトレジスタ8に取り込まれたデータ信号を、ロード信号LOAD1に基づいて作成された信号T2に従って並列に取り込むn(96)ビットのラッチ回路9とを備えている。シフトレジスタ8から並列に出力されるn個のデータ信号はラッチ回路9を介さないで駆動回路5に供給することもできるようにしている。

【0019】尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ8やラッチ回路9等の構成を変更することもでき、例えば、シフトレジスタ8をアドレス指定方式のメモリで構成することもできる。

【0020】駆動回路5は、補正データを記憶するための記憶回路10と、前記ラッチ回路9から奇数、偶数に区分けされてn(96)個単位で送られてくるデータ信号に対して、この記憶回路10から出力される補正データに基づいた補正を行う補正処理回路11と、この補正処理回路11から出力される補正後のデータ信号に基づいて作動し、前記出力端子D01～D096を介して駆動信号としての電流を出力するn(96)ビット構成のドライブ回路12とを備えている。

【0021】記憶回路10は、複数(m)種類の補正データを記憶できるように、複数の補正データ記憶回路を備え、データ信号を2つの群に区分けするこの例では、奇数データ信号に対する補正データを記憶するための奇数補正データ記憶回路13と、偶数データ信号に対する補正データを記憶するための偶数補正データ記憶回路14とを備えている。各補正データ記憶回路13、14は、複数ビット(この例では3ビット)で構成される補正データを、n個のデータ信号のそれぞれに対応して記憶できるように、例えば3ビット×96構成のラッチ回路で構成することができる。そして、各補正データ記憶回路13、14に対する補正データの書き込みは、シフトレジスタ8から供給されるn個単位の信号に基づいて行われるようになっている。

【0022】補正データ記憶回路13、14の書き込み選択は、パルス状の信号T3と信号T4によって行われる。シフトレジスタ8に設定されたn個の信号を、信号T3もしくは信号T4によって一方の補正データ記憶回路に書き込む処理を繰り返すことによって、一方の補正データ記憶回路に3ビット構成の補正データをn個設定することができる。書き込み状態を選択する信号T3と信号T4は、設定モード信号SETがHレベルにあり、しかも、シフトレジスタ8のデータ信号を取り込むためのロード信号LOAD1(n個のデータ信号を切り替えるための信号)(信号T7)がHレベルにあることを条件に、信号T8(ロード信号LOAD1に同期して交互にHレベルとLレベルに切り替わる)によって、交互に

選択される。

【0023】ドライブ回路12は、1つの出力端子DOに対してそれぞれ電流出力が異なる4つの電流増幅器12Aa～12Adを1組として、それを出力端子DOと同数備えて構成されている。電流供給回路6から一定の電流が供給される4つ電流増幅器12Aa～12Adは、個々にその作動状態を制御することによって、合計出力電流を4mAをベースとして3.5～4.5mA程度の範囲で変更できるようにしている。

【0024】補正処理回路11は、後述する発光素子22の各発光部26における光量が均一になるように、ドライブ回路12から出力する電流値を補正するための回路で、ラッチ回路9から出力される各データ信号に対して、各々3ビット構成の補正データを用いて補正を行なうように接続された論理ゲート回路によって構成される。

【0025】ここで、1つの出力端子DO48に対する奇数と偶数のデータ信号を例にとって図2を参照して説明する。ラッチ回路9に奇数データ信号が記憶されている場合は、ストローブ信号STBが所定期間Lレベルに切り替わることによって奇数データ信号がアンドゲートG1を通過して信号T5として補正処理回路11に与えられる。ここで、記憶回路10の出力は、信号T9がHレベルであり、アンドゲートG4が開放状態となることによって、奇数補正データ記憶回路13の出力のみが選択状態になる。そして、この奇数補正データ記憶回路13から出力される3ビットの補正データは、アンドゲートG4、オアゲートG3、並びに信号T5によって開放状態のアンドゲートG2を介してドライブ回路12に供給され、3つの電流増幅器12Aa～12Adを選択的に動作させる。残りの電流増幅器12Adは信号T5がHレベルにあることによって、補正データに係わりなく一定の電流を供給する。この4つの電流増幅器12Aa～12Adの出力を1つにして出力端子DO48を介して取り出し、奇数番の所定発光部に供給することができる。

【0026】次にタイミングでラッチ回路9に偶数データ信号が記憶された場合は、ストローブ信号STBが所定期間Lレベルに切り替わることによって、偶数データ信号がアンドゲートG1を通過して信号T5として補正処理回路11に与えられる。ここで、記憶回路10の出力は、信号T9がLレベルであり、反転入力付きのアンドゲートG5が開放状態となることによって、偶数補正データ記憶回路14の出力のみが選択状態になる。そして、この偶数補正データ記憶回路14から出力される3ビットの補正データは、アンドゲートG5、オアゲートG3、並びに信号T5によって開放状態のアンドゲートG2を介してドライブ回路12に供給され、3つの電流増幅器12Aa～12Adを選択的に動作させる。残りの電流増幅器12Adは信号T5がHレベルにあることによって、補正データに係わりなく一定の電流を供給す

る。この4つの電流増幅器12Aa～12Adの出力を1つにして出力端子D048を介して取り出し、偶数番の所定発光部に供給することができる。

【0027】次に、第2駆動部3について説明する。第2駆動部3は、群選択回路15と群ドライブ回路16を備える。群選択回路15は、群ドライブ回路16に対して出力端子CD-E、CD-Dを選択的に接地電位VSSに切り替えるためのタイミングを与えるもので、シフトレジスタ8の信号をラッチするタイミングを示すロード信号LOAD1に同期して交互にHレベルとLレベルを出力する信号T8とT9を作成する。信号T8と信号T9は実質的に同じ信号であるが、信号T8を信号T9より若干遅延させている。

【0028】図3は、上記の駆動用IC1を備えて構成した光プリンタヘッド20の一例を示す要部平面図である。この光プリンタヘッド20は、絶縁性基板21の上に複数、例えばL=38個の発光素子22を一列に配列し、この発光素子22の片側に隣接させて駆動用IC1を発光素子22と1対1で対応させて一列に配列している。この例では、駆動用IC1を発光素子22の片側に配列しているが、駆動用IC1を発光素子22の両側に配列する場合は、発光素子22と駆動用IC1を1対2の対応関係で配列すれば良い。発光素子22と駆動用IC1間には、両者を接続するための配線23が施される。配線23としては、金線等のワイヤボンド線による直接接続構造、中継用のバターンを介在したワイヤボンド線による間接的接続構造を用いることができるが、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造を用いることもできる。

【0029】基板21の上には、信号用、電力供給用の複数本の配線パターン24を発光素子22の配列方向に沿って延びるように形成している。駆動用IC1と配線パターン24の間には、前記配線23と同様の配線25を設けている。

【0030】発光素子22は、その上面に複数(m×n=192)個の発光部26をその長手方向に沿って配列している。そして、この複数の発光部26は、時分割駆動できるようにそれぞれが独立して形成されており、群単位に時分割駆動できるように、複数m(m≥2)の群に区分けしている。この例では、奇数番目に属する群と偶数番目に属する群の2つの群に区分けした場合を例示している。

【0031】そして、発光素子22は、群を成す奇数番目の発光部26Oに共通に接続した共通電極27Oと、群を成す偶数番目の発光部26Eに共通に接続した共通電極27Eの2本の共通電極27を設けるとともに、隣接する奇数番目と偶数番目の発光部26に接続したn(96)個の個別電極28を設けている。これらの個別電極28は、それぞれ駆動用IC1の出力端子D01～D096に接続され、共通電極27は、出力端子CD-E

O、CD-Eに接続される。そして、192個の発光部の奇数番目を点灯させる場合は、奇数番目の群に対応した共通電極27Oを選択し、任意の個別電極D0に通電されればよく、発光部の偶数番目を点灯させる場合は、偶数番目の群に対応した共通電極27Eを選択し、任意の個別電極D0に通電されればよい。

【0032】尚、発光素子3はL個(38個)であるので、ヘッド20全体の発光部26の数は、L×m×n=38×2×96=7296個となる。図4の#を付した番号がヘッド20全体の発光部26の通し番号である。そして、共通電極27の選択によって奇数番目と偶数番目が選択されるので、その半分の3648個の発光部26が一齊に点灯制御される。

【0033】次に、上記駆動用IC1の動作を含めた上記光プリンタヘッド20の動作について、図1、図2に加えて、図4に示す光プリンタヘッドの回路構成例、図5、図6に示すタイミングチャートを参照して説明する。

【0034】まず初めに駆動用IC1に対する補正データの設定動作について図4に示すタイミングチャートを参照して説明する。光プリンタヘッド20に電源が投入された初期状態において、配線パターン24からリセット信号RESET(信号T6)が供給され、これによって記憶回路10、群選択回路15等の内部に設けたカウンタが初期状態に設定される。尚、設定信号SETはHレベルに保持される。

【0035】38番目の駆動用IC1のデータ入力端子S1に奇数番目のデータ信号補正に係わる信号(3648個)が順次与えられ、これがクロック信号CLK1(信号T1)に同期して順次各駆動用ICのシフトレジスタ8に取り込まれる。

【0036】次に、シフトレジスタ8の信号を内部に取り込むためのロード信号LOAD1(信号T7)が、所定時間Hレベルに保持され、各シフトレジスタ8に保持されたn個の補正データの入力が行われる。ここで、奇数補正データ記憶回路13のみが信号T3によって選択(ラッチ)状態となるので、シフトレジスタ8に取り込まれたn個の信号が、奇数補正データ記憶回路13に入力され、補正用第1ビットとして記憶される。

【0037】次に、偶数番目のデータ信号補正に係わる信号(3648個)が順次与えられ、これがクロック信号CLK1(信号T1)に同期して順次各駆動用IC1のシフトレジスタ8に取り込まれる。続いて、ロード信号LOAD1(信号T7)が、所定時間Hレベルに保持され、各シフトレジスタ8に保持されたn個の補正データの入力が行われる。この場合、偶数補正データ記憶回路14のみが信号T4によって選択(ラッチ)状態になるので、シフトレジスタ8に取り込まれたn個の信号が偶数補正データ記憶回路14に入力され、補正用第1ビットとして記憶される。

【0038】補正データ記憶回路13、14の記憶位置を内部カウンタによって変更後、このような処理を2回繰り返すことによって、奇数補正データ記憶回路13と偶数補正データ記憶回路14にそれぞれ補正用の第2、第3ビットが記憶される。その結果、各出力端子D01～D096に対して、3ビット構成の2種類の補正データが設定されたことになる。

【0039】尚、記憶回路10に記憶すべき補正データは、発光素子22の各発光部26の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、光プリントヘッド20内部、あるいは光プリントヘッド20を装着するプリンタ本体等に設けた記憶媒体に記憶されている。

【0040】続いて、通常の発光駆動動作について図6を参照して説明する。まず初めにリセット信号RESET (信号T6) が供給され、これによって記憶回路10、群選択回路15等の内部カウンタが初期状態に設定される。続いて、設定信号SETがLレベルからHレベルに切り替えられる。その結果、信号T3、T4はいずれもLレベルに保持されるので、記憶回路10への書き込みが禁止された状態となる。

【0041】補正用データ信号の場合と同様に、38番目の駆動用IC1のデータ入力端子S1に奇数番目のデータ信号(3648個)が順次与えられ、これがクロック信号CLK1 (信号T1) に同期して順次各駆動用IC1のシフトレジスタSに取り込まれる。

【0042】次に、ロード信号LOAD1 (並びに信号T2、T7) が、所定時間Hレベルに保持され、各シフトレジスタSに保持されたn個のデータ信号の入力が行われる。ここで、ラッチ回路9のみが信号T2によって選択(ラッチ)されるので、シフトレジスタSに取り込まれたn個のデータ信号がラッチ回路9に入力されて記憶される。

【0043】ロード信号LOAD1 (信号T7) によって群選択回路15が奇数の群の選択状態に切り替わり、その出力信号T8、T9がLレベルからHレベルに切り替わる。信号T9によって、群ドライブ回路16は、奇数側の端子CD-Oのみを接地状態に切り替え、また、補正処理回路11は、アンドゲートG4を開き、アンドゲートG9を閉じることによって、奇数補正データ記憶回路13の出力のみを取り出し状態にする。

【0044】ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、発光のタイミングを示すストローブ信号STBがHレベルから所定期間Lレベルに保持され、この間、ラッチ回路9に保持されているデータ信号が補正処理回路11に供給される。そして、Hレベルのデータ信号に対して3ビットの補正データが付加され、それがドライブ回路12に与えられる。ドライブ回路12は、データ信号とそれに付加された補正データに基づいて、4つの電流増幅器12Aa～12Adを選

択的に作動させてその出力電流を出力端子D0を介して発光素子22の各個別電極28に供給する。

【0045】全ての発光素子22の個別電極28にデータ信号と補正データに応じた電流が供給されるが、奇数番目の発光部26のみが共通電極27Eを介して接地されているので、奇数番目の発光部のみが選択的に発光する。

【0046】同様に、38番目の駆動用ICのデータ入力端子S1に偶数番目のデータ信号(3648個)が順次与えられ、これがクロック信号CLK1 (信号T1) に同期して順次各駆動用IC1のシフトレジスタSに取り込まれる。

【0047】次に、ロード信号LOAD1 (信号T7) が、所定時間Hレベルに保持され、各シフトレジスタSに保持されたn個のデータ信号の入力が行われる。上記同様ラッチ回路9のみが信号T2によって選択(ラッチ)されるので、シフトレジスタSに取り込まれたn個のデータ信号がラッチ回路9に入力されて記憶される。

【0048】ロード信号LOAD1 (信号T7) によって群選択回路15が奇数選択状態から偶数選択状態に切り替わり、その出力信号T8、T9がHレベルからLレベルに切り替わる。信号T9によって、群ドライブ回路16は、偶数側の端子CD-Eのみを接地状態に切り替え、また、補正処理回路11は、アンドゲートG5を開き、アンドゲートG4を閉じることによって、偶数補正データ記憶回路14の出力のみを取り出し状態にする。

【0049】ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、ストローブSTBがHレベルから所定期間Lレベルに保持され、この間、ラッチ回路9に保持されているデータ信号が補正処理回路11に供給される。そして、Hレベルのデータ信号に対して3ビットの補正データが付加され、それがドライブ回路12に与えられる。ドライブ回路12は、4つの電流増幅器12Aa～12Adを選択的に作動させてその出力電流を出力端子D0を介して発光素子22の各個別電極28に供給する。

【0050】全ての発光素子22の個別電極28にデータ信号と補正データに応じた電流が供給されるが、偶数番目の発光部26のみが共通電極27Eを介して接地されているので、偶数番目の発光部のみが選択的に発光する。これによって、7296ドットからなる1ライン分の選択的発光が終了する。

【0051】上記のような、奇数と偶数の群の切り替えによる時分割駆動によって1ライン分の選択的な発光を順次繰り返すことによって、1画面分のプリントを行うことができる。

【0052】上記のように、素子内時分割駆動に対応した発光素子22を駆動するための各駆動用IC1が、群を単位とするn個のデータ信号の取り込みタイミング、すなわち、ロード信号LOAD1に基づくデータ信号の

1.1

切り替えタイミングに同期して動作する第2駆動部3を内蔵し、この駆動用IC1によって対応した発光素子22の時分割駆動を行う構成としているので、負荷の分散を図ることができる。よって、時分割駆動を行うための第2駆動部3に加わる最大負荷は、対応する発光素子22の1つの群に属する発光部26の数に基づき決定できる。その結果、従来のダイナミック駆動方式のように時分割駆動用（共通電極選択用）の専用ICを用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を大幅に低減することができる。そして、駆動用IC1の第2駆動部3は、小電流を制御することができる小型回路で構成することができ、駆動用IC1を従来のスタティック方式用のICと同等の形状で構成することができるので、全体的な回路構成の小型化を達成することができる。

【0053】さらにまた、駆動用IC1毎にそれに対応した発光素子22の時分割駆動を行う構成としているので、光プリントヘッド20の長さ変更に対応して発光素子22の数を増減させる場合に、発光素子22の数の増減に対応して駆動用IC1の数も容易に増減させることができ、回路設計の容易化に寄与することができる。すなわち、共通端子選択用の専用ICを用いる場合に予想される専用ICの大型化や、素子数増減に対応した専用ICの設計変更の問題を回避することができる。

【0054】また、駆動用IC1は、出力端子D01～D096の各々に対して、複数種類の補正用データを記憶することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデータ信号の補正を容易に行うことができる。従来、出力端子と同じ数の補正データを記憶することができる駆動用ICは知られているが、出力端子と同じ数の補正データしか記憶することができないので、時分割駆動を行う場合は、データ信号とともに補正データも逐次供給する必要があり、駆動が複雑化する問題が残るが、本発明ではそのような問題を解消することができる。

【0055】尚、発光素子22として、発光部を1列に配列したもののはかに、千鳥配置したものや、2列以上の複数列配置したものを用いることもできる。そして、発光素子22の発光部は、上述のように2つの群に区分けするほかに、3以上の時分割駆動可能な群に区分けし、それに応じて駆動用IC1を3以上の時分割駆動可能な構成としてもよい。また、発光素子22の片側に駆動用IC1を配列する場合のほかに、発光素子3の両側に駆動用IC1を配置することもできる。

【0056】尚、本発明は、上記のように1つの発光素子とその駆動用の1つ以上のICの組合せ構造を1つの単位とし、この構造単位を発光部の配列方向と同方向に複数配置した光プリントヘッドに好適であるが、これ以外にも適用可能であり、例えば、前記1つの構造単位を基本構造とする光プリントヘッドやそれに類する印字

1.2

装置に適用することもできる。

【0057】

【発明の効果】以上のように本発明の駆動用IC1は、m個の群選択用端子をデータ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える第2駆動部を備えるので、素子内時分割駆動に対応した発光素子等を駆動する場合に、別途専用のICを別途設けなくても素子の時分割駆動を行うことができ、素子内時分割駆動可能な素子に対する汎用性を高めることができる。

【0058】また、本発明の駆動用IC1は、各駆動用出力端子に対して複数種類の補正データを記憶する補正データ記憶回路を備えるので、接続した素子を時分割駆動し、その出力を補正する場合等において、補正データに基づく補正処理の容易化を図ることができる。時分割駆動を行わない場合においては、素子の状態等に応じた補正データを複数種類記憶することによって、素子の状態に応じた補正データの変更処理等の容易化を図ることもできる。

【0059】また、本発明の駆動用IC1は、各駆動用出力端子に対して複数種類の補正データを記憶する補正データ記憶回路を備え、記憶した複数個の補正データをデータ信号記憶回路に供給されるデータ信号の切り替えタイミングに同期して切り替えて出力するようしているので、接続した素子を時分割駆動し、その出力を補正する場合において、補正データに基づく補正処理の容易化を図ることができる。

【0060】また、本発明の駆動用IC1は、m個の群選択用端子をデータ信号記憶回路に供給されるn個のデータ信号の切り替えタイミングに同期して順次切り替える第2駆動部と、n個の各駆動用出力端子に対してm種類の補正データを記憶する補正データ記憶回路を備えるので、別途専用のICを別途設けなくても素子の時分割駆動を行うことができるとともに、光出力の補正も行うことができるので、素子内時分割駆動可能な素子に対する汎用性を高めることができる。

【0061】前記駆動用IC1の群選択用端子や記憶している補正データの切り替えタイミングをラッチタイミングを用いて行うことによって、タイミング処理の容易化を図ることができる。

【0062】前記駆動用IC1を発光素子駆動用のICとして備えて光プリントヘッドを構成することにより、光プリントヘッドの構成の簡素化、設計の容易化を図ることができる。そして光プリントヘッドの発光素子として、n個の発光部で構成される群をm個備える発光素子を用い、この発光素子を前記駆動用IC1によって時分割駆動を行う構成とすることによって、発光素子の個別電極の低密度配置が可能となり、個別電極への配線作業性を高めることができる。その結果、発光部を高密度配置した場合でも配線が容易になり、高解像度の光プリンタ

10

20

30

40

50

1.3

1.4

ヘッドの提供が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わる駆動用ICの回路ブロック図である。

【図2】図1の要部を示す回路ブロック図である。

【図3】本発明の一実施例に係わる光プリントヘッドの要部平面図である。

【図4】同実施例の回路ブロック図である。

【図5】同実施例の補正データ設定に係わるタイミングチャート図である。

【図6】同実施例の通常動作に係わるタイミングチャート図である。

【符号の説明】

- 1. 駆動用IC
- 2. 第1駆動部
- 3. 第2駆動部
- 4. データ信号記憶回路

5. 駆動回路

8. シフトレジスタ

9. ラッチ回路

10. 記憶回路

11. 補正処理回路

12. ドライブ回路

13. 奇数補正データ記憶回路

14. 偶数補正データ記憶回路

15. 群選択回路

10. 16. 群ドライブ回路

20. 光プリントヘッド

22. 発光素子

26. 発光部

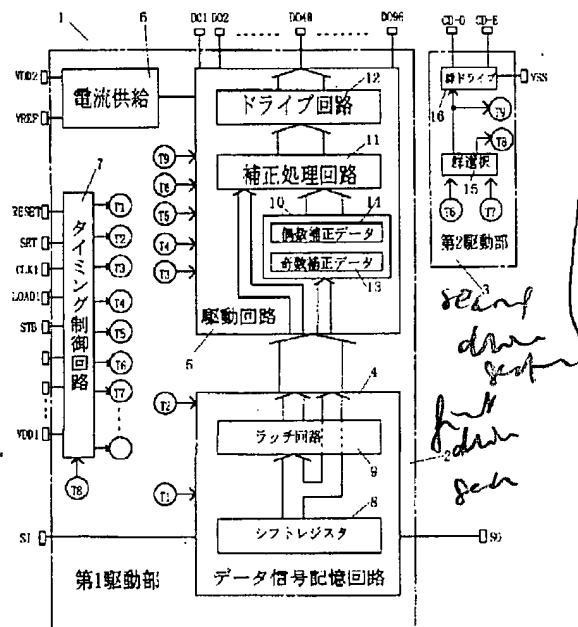
27. 共通電極

28. 個別電極

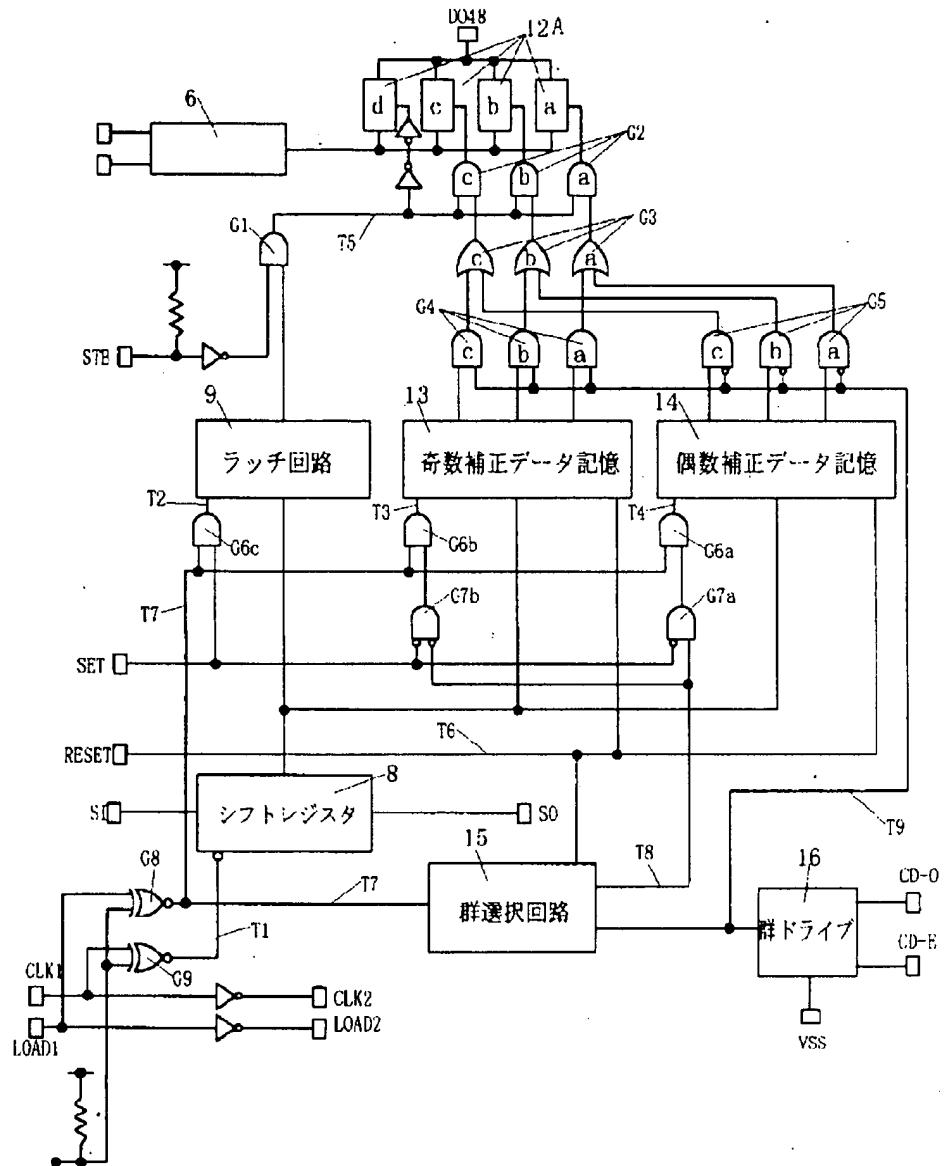
DO. 素子駆動用出力端子

CD. 群選択用出力端子

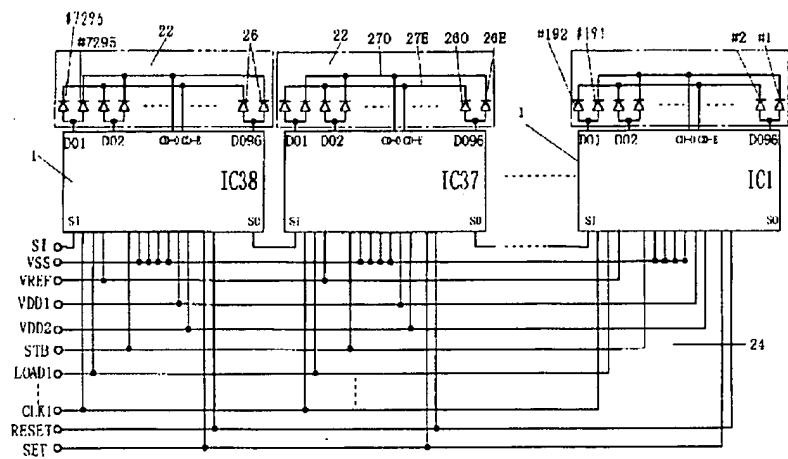
【図1】



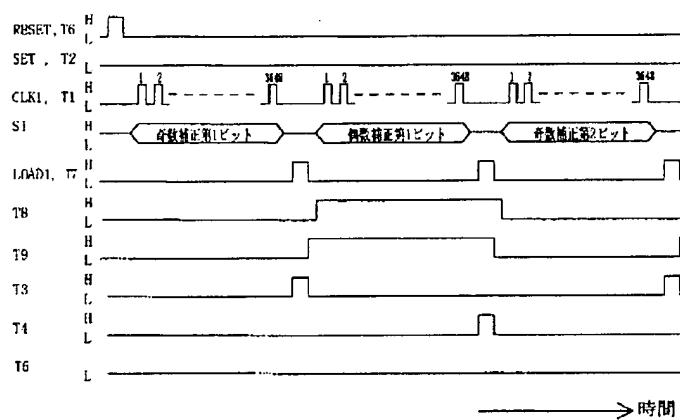
【図2】



【図4】



【図5】



【図6】

